

**Development of High Performance Video Processor Core Architecture**  
~ Overall Architecture ~

Hirokazu SUZUKI      Fumitoshi KARUBE  
Toshihisa KAMEMARU      Hiroyuki IJDA

Mitsubishi Electric Corporation, Information Technology R&D Center  
Information & Communication Systems Development Center

1. Introduction

Image encoding/decoding LSI are being researched which are directed to media communication equipment such as video conferencing systems, videophones and portable terminals. It is essential that an image encoding/decoding LSI firstly has the high performance necessary for high quality image encoding, secondly has the flexibility to support various encoding standards and easy installation of additional technology, and thirdly has a low power consumption design in consideration of mobile use. We have developed a high performance video processor core architecture with these requirements in mind.

2. Features of the video processor core

- Process the MPEG4 CODEC at CIF 30 frames/sec with 1 processor core.
- Support the multiple standards of MPEG4, H.263 and H.261 through changes in software (S/W), as well as make the loading of additional value functions such as filter processing easy.
- Implementation with 300mW low power consumption.

3. Configuration

The overall block diagram of the video processor core is shown in Diagram 1. The video processor core is constructed from 4 hardware (H/W) blocks which are the RISC Processor, the Matrix Operation Engine, the HybridVLC Engine and the 2-Dimensional Multifunction DMA (DMA). The RISC processor, depending on the program in the Instruction RAM, performs basic scalar operations and bit manipulation operations, as well as controlling the Matrix Operation Engine, the HybridVLC Engine and the DMA. The Matrix Operation Engine processes pixel operations in block / macro block units with an 8 parallel SIMD computing unit. The HybridVLC Engine processes variable length encoding/decoding under the control of the RISC processor. The DAM [sic]

processes data transfers with the high capacity off-chip memory.

#### 4. Architecture

The features of the video processor core architecture are:

- (1) It is equipped with a high efficiency parallel computing unit which has a processing speed of 6.4 GOPS, and which executes matrix sum operations in 1 instruction.
- (2) It employs a hybrid VLC processor combining the flexibility of S/W processing by the RISC processor and the high speed of H/W processing by the HybridVLC Engine.
- (3) It is equipped with a 2-Dimensional Multifunction DMA which, as a background operation process, can transfer data in a format suited to operations such as subsampling of transfer data.
- (4) Low power consumption design which comes from operand isolation, clock-gating and optimized low power consumption.

#### 5. Specifications and Conclusion

The main specifications of the video processor core are displayed in Table 1. The creation of low cost, high quality image encoding equipment is possible with the present video processor core.

#### Bibliography

- [1] Karube et al. "Development of High Performance Video Processor Core Architecture (2)", IEICE General Conference, 2000.

PROCEEDINGS OF THE 2000 IEICE GENERAL CONFERENCE

# EiC 電子情報通信学会 2000年総合大会講演論文集

Z 74-C779

2000年(分冊5)

N

## 高性能ビデオプロセッサコアアーキテクチャの開発(1)

C-12-29

Development of High Performance Video Processor Core Architecture  
~ Overall Architecture ~

鈴木 弘一 軽部 文利 亀丸 敏久\* 飯田 博之\*  
 Hirokazu SUZUKI Fumitoshi KARUBE Toshihisa KAMEMARU\* Hiroyuki IIDA\*  
 三菱電機株式会社 情報技術総合研究所 \*情報通信システム開発センター  
 Mitsubishi Electric Corporation, Information Technology R&D Center  
 \*Information & Communication Systems Development Center

1. はじめに

テレビ会議システムやテレビ電話、携帯端末などのメディア通信機器に向けた画像符号化/復号LSIが研究されている。これら画像符号化/復号LSIにおいては、第1に高品質な符号化画像を得るために高い性能を持つこと、第2に多様な符号化規格に柔軟に対応し付加価値技術を容易に搭載できるようなフレキシビリティを持つこと、第3にモバイル用途を考慮した低消費電力設計であることが重要である。これらの要求に対し我々は高性能ビデオプロセッサコアアーキテクチャを開発した。

2. ビデオプロセッサコアの特徴

- 1プロセッサコアで CIF 30 frame/sec の MPEG4 CODEC 处理を処理する。
- ソフトウェア(S/W)の変更により MPEG4, H.263, H.261 のマルチスタンダードに対応し、さらにフィルタ処理などの付加価値機能の搭載が容易。
- 300mW という低消費電力で実現されている。

3. 構成

ビデオプロセッサコアの全体ブロック図を図1に示す。ビデオプロセッサコアはRISCプロセッサ部、行列演算エンジン、HybridVLCエンジン、2次元多機能DMA(DMA)の4つのハードウェア(H/W)ブロックから構成される。RISCプロセッサは命令RAM中のプログラムによって、基本的なスカラー演算やビット操作演算を行う他、行列エンジン、HybridVLCエンジン、DMAを制御する。行列演算エンジンは8並列のSIMD型演算器でブロック/マクロブロック単位の画素演算を処理する。HybridVLCエンジンはRISCプロセッサの制御により可変長符号化/復号処理を処理する。DMAはチップ外部の大容量メモリとのデータ転送を処理する。

4. アーキテクチャ

ビデオプロセッサコアのアーキテクチャ上の特徴を示す。

- (1) 6.4GOPS の処理性能を持ち、行列の積和演算を1命令で実行する高効率並列演算器を搭載。
- (2) RISCプロセッサ部によるS/W処理の柔軟性と、HybridVLCエンジンによるH/W処理の高速性とを両立した、ハイブリッド型VLC処理機構を採用。
- (3) 演算処理のバックグラウンドで、転送データのサブサンプリングなど、演算に適したデータ形式で転送できる2次元多機能DMAの搭載。

(4) オペランドアイソレーション、ゲーテッドクロック、低消費電力最適化による低消費電力設計。

5. 諸元およびまとめ

表1にビデオプロセッサコアの主要諸元を示す。本ビデオプロセッサコアにより、低コスト、高品質な画像符号化装置の実現が可能となる。

参考文献

[1] 軽部, 他, "高性能ビデオプロセッサコアアーキテクチャの開発(2)", 電子情報通信学会総合大会, 2000.

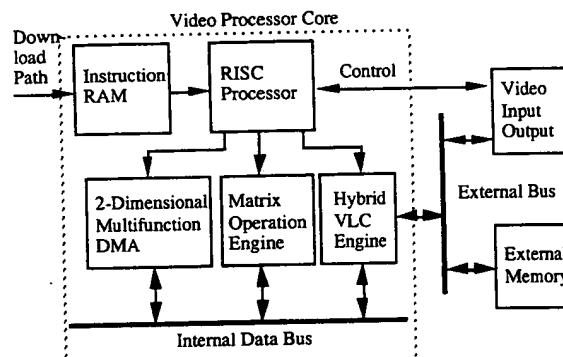


図1 ビデオプロセッサコアの構成

表1 ビデオプロセッサコアの主要諸元

|                   |       |  |
|-------------------|-------|--|
| RISC<br>プロセッサ部    | 命令形式  | 32ビット固定長   |
|                   | 命令空間  | 10K命令  |
|                   | データ形式 | 16ビット(ワード)   |
|                   | データ空間 | 12Kワード   |
|                   | 命令実行  | 3段バイブライン   |
|                   | 命令種類  | 加減乗算、シフト、ビット演算、フラグ演算、条件付き分岐、行列演算エンジン命令、HybridVLCエンジン命令                     |
| 行列演算<br>エンジン      | データ形式 | 16ビット×8並列  |
|                   | データ空間 | 512ワード×8並列×2面  |
|                   | 演算処理  | 8並列SIMD×5段可変バイブルайн  |
| HybridVLC<br>エンジン | 機能    | ランレングス変換/逆変換<br>VLCコード生成/解読<br>ビットパック/アンパック                                |
| 2次元多機能<br>DMA     | 機能    | 行列演算エンジンと外部バスとのデータ転送<br>HybridVLCエンジンと外部バスとのデータ転送<br>転送データサブサンプリング、ビット精度変換 |

# 高性能ビデオプロセッサコアアーキテクチャの開発(2)

## C-12-30 ~行列演算エンジン~

### Development of High Performance Video Processor Core Architecture ～Matrix Operation Engine～

轟部文利 鈴木弘一 亀丸敏久\* 飯田博之\*  
 Fumitoshi KARUBE Hirokazu SUZUKI Toshihisa KAMEMARU Hiroyuki IIDA  
 三菱電機株式会社 情報技術総合研究所 \*情報通信システム開発センター  
 Mitsubishi Electric Corporation, Information Technology R&D Center  
 \*Information & Communication Systems Development Center

#### 1. はじめに

デジタルTV放送の開始や携帯電話での映像伝送サービスなど映像情報のデジタル化が進んでいる。今回開発したビデオプロセッサコアアーキテクチャは MPEG4, H.263 の Video Codec を実現し, CIF 30Frames/s の性能を有しており、RISC プロセッサとそれに制御される行列演算エンジン、Hybrid VLC エンジン、2次元多機能 DMA といった H/W 群から構成される。

本稿では、行列演算エンジンについて述べる。

#### 2. 行列演算エンジンの構造

動画像符号化の処理の際、最も演算量を要するのはブロック (8x8 画素)、マクロブロック (16x16 画素) ごとの画素単位の演算である。行列演算エンジンは DCT, IDCT, Q(Quantization), IQ 等のブロック、マクロブロック単位の演算に適した 8 並列の SIMD 型演算装置である。以下にその特徴を挙げる。

- 大容量のデータを処理するため、8 並列のパイプライン演算器 (PDU) と 16 並列の並列メモリ (PM) から成る。そして PDU は 5 ステージのパイプライン演算器から成る。
- 動き探索やフィルタ生成のために画素データの再配置を行う Cross Data Path を有する。
- DCT, IDCT のための MAC (Multiply and Accumulate) 演算や動き探索のための SAD (Sum of Absolute Difference) 演算を実現できる。
- 100MHz 動作の場合、6.4GOPS の性能を有する。

図 1 に行列演算エンジンのブロック図を示す。

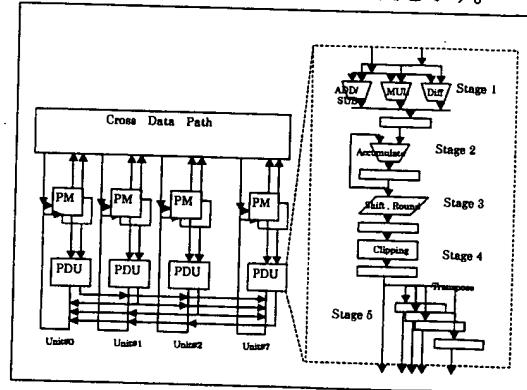


図 1 行列演算エンジンのブロック図

PDU の第 1 ステージは、加減算、乗算、差分絶対値演算、bit 演算等を実施する。第 2 ステージは、累算を実施する。第 1 ステージ、第 2 ステージを組み合わせて、MAC 演算、SAD 演算を実現する。第 3 ステージは、桁あわせのシフトと丸めを実施する。第 4 ステージは、結果データのクリッピング処理を実施する。第 5 ステージは、転置を実施する。各サイクルに発生するデータを一旦蓄積して、UNIT 単位で一斉に出力することで実現する。この構成により、DCT, IDCT, Q, IQ, ME (Motion Estimation), MC (Motion Compensation), フィルタ機能を実現できる。行列演算エンジンは RISC プロセッサのプログラムにより制御される。したがって、独自のフィルタによって高画質化を図るなど付加価値を実現できる。

#### 3. パフォーマンス

図 2 にマクロブロック当たりのクロックサイクル数を示す。MC, ME, DCT, IDCT, Q, IQ その他の行列演算は行列演算エンジンで実行されるが、この H/W により実行サイクル数が削減される。これらのサイクル数削減の効果として、同一サイクルで実行できる性能が約 20 倍に向上する。

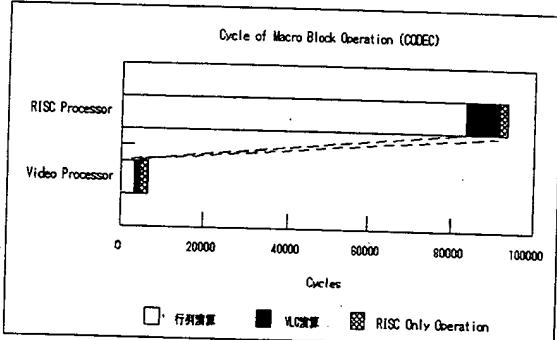


図 2 マクロブロック処理のクロックサイクル数

#### 4. まとめ

ブロック、マクロブロック単位の演算に適したビデオプロセッサコアアーキテクチャの内、行列演算エンジンの構造、パフォーマンスについて述べた。  
 参考文献

[1] 鈴木, 他, "高性能ビデオプロセッサコアアーキテクチャの開発(1)～アーキテクチャ概要～" 電子情報通信学会総合大会, 2000